

AH

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

010287670 \*\*Image available\*\*

WPI Acc No: 1995-188929/199525

XRAM Acc No: C95-087669

XRPX Acc No: N95-148222

**Mask formation - comprises formation of opening part in aluminium film mask by removing resist pattern on substrate**

Patent Assignee: MATSUSHITA DENKI SANGYO KK (MATU )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 7106346	A	19950421	JP 93273167	A	19931004	199525 B

Priority Applications (No Type Date): JP 93273167 A 19931004

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 7106346	A		9	H01L-021/338	

Abstract (Basic): JP 7106346 A

The method uses a substrate (1) on which resist pattern (4a) is formed by photolithography. The resist pattern is reduced in size, by oxygen plasma. Over this reduced pattern, a thin aluminium film (5) is formed as mask. An opening part (9) is formed by removing the resist pattern. A gate opening part (10) is formed by removing the aluminium film mask and it is reduced in size.

ADVANTAGE - Aims at miniaturisation of semiconductor element by improving grade of exposure system. Improves pattern accuracy.

Dwg.1/7

Title Terms: MASK; FORMATION; COMPRISE; FORMATION; OPEN; PART; ALUMINIUM; FILM; MASK; REMOVE; RESIST; PATTERN; SUBSTRATE

Derwent Class: L03; U11; U12

International Patent Class (Main): H01L-021/338

International Patent Class (Additional): H01L-029/812

File Segment: CPI; EPI



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-106346

(43) 公開日 平成7年(1995)4月21日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/338 29/812		7376-4M	H 0 1 L 29/ 80	F

審査請求 未請求 請求項の数7 F D (全 9 頁)

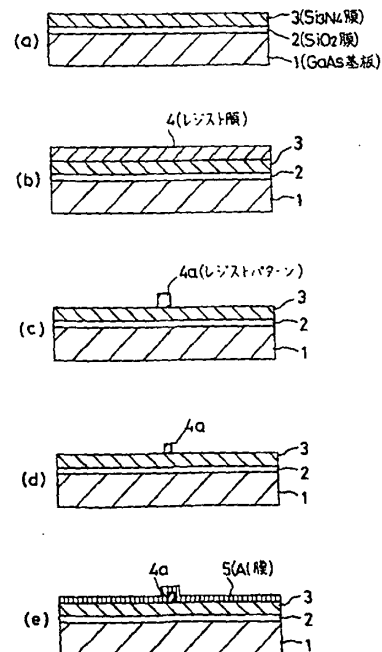
(21) 出願番号	特願平5-273167	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成5年(1993)10月4日	(72) 発明者	正戸 宏幸 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	井上 薫 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	松野 年伸 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(74) 代理人	弁理士 前田 弘 (外2名)

(54) 【発明の名称】 マスクの形成方法

(57) 【要約】 (修正有)

【目的】 半導体素子のゲート電極等の部材を形成する工程において、フォトリソグラフィーで使用する露光装置の光源の波長で定まる限界寸法よりも微細な寸法の形成を可能とする。

【効果】 フォトリソグラフィーにより形成したレジストパターン4aを酸素プラズマ法によりエッチングして縮小させた後、Al膜5等のマスク用薄膜を蒸着し、Al膜5と共にレジストパターンを除去して開口部を形成する。あるいは、反転レジストを用いて逆テーパーをつけたレジストパターンにAlを回転蒸着法により蒸着してAl膜5を形成した後、Al膜5とレジストパターンとをリフトオフして開口部を形成する。これらの工程で縮小された開口部を有するAl膜5をマスクとして、ゲート電極等の部材を形成することで、従来のステップでは実現不可能であった微細な寸法での加工が可能となる。



## 【特許請求の範囲】

【請求項1】 フォトレジストを用いて、半導体基板等の基板の上に半導体素子の電極等の部材を形成するための開口部を有するマスクを形成する方法であって、上記基板の上に、フォトリソグラフィーにより、フォトレジストパターンを形成する工程と、上記フォトレジストパターンを縮小させる工程と、上記基板及び上記フォトレジストパターンの上にマスク用薄膜を堆積する工程と、上記フォトレジストパターンの形成部分で上記マスク用薄膜と共にフォトレジストパターンをリフトオフにより除去し、マスク用薄膜に上記開口部を設ける工程とを有することを特徴とするマスクの形成方法。

【請求項2】 フォトレジストを用いて、半導体基板等の基板の上に半導体素子の電極等の部材を形成するための開口部を有するマスクを形成する方法であって、上記基板の上に、フォトリソグラフィーにより、断面形状が逆テーパーを有するフォトレジストパターンを形成する工程と、上記基板及び上記フォトレジストパターンの上にマスク用薄膜を堆積する工程と、上記フォトレジストパターンの形成部分で上記マスク用薄膜と共にフォトレジストパターンをリフトオフにより除去し、マスク用薄膜に上記開口部を設ける工程とを有することを特徴とするマスクの形成方法。

【請求項3】 フォトレジストを用いて、半導体基板等の基板の上に半導体素子の電極等の部材を形成するための開口部を有するマスクを形成する方法であって、上記基板の上に、フォトリソグラフィーにより、断面形状が逆テーパーを有するフォトレジストパターンを形成する工程と、上記フォトレジストパターンを縮小させる工程と、上記基板及び上記フォトレジストパターンの上にマスク用薄膜を堆積する工程と、上記フォトレジストパターンの形成部分で上記マスク用薄膜と共にフォトレジストパターンをリフトオフにより除去し、マスク用薄膜に上記開口部を設ける工程とを有することを特徴とするマスクの形成方法。

【請求項4】 請求項1、2又は3記載のマスクの形成方法において、上記基板は、半導体基板の表面上にゲート絶縁膜が形成されてなる基板であり、フォトレジストパターンは、ゲートパターンとして使用されることを特徴とするマスクの形成方法。

【請求項5】 請求項1又は3記載のマスクの形成方法において、上記フォトレジストパターンの縮小工程は、酸素プラズマ中でフォトレジストパターンを等方的にエッチングすることにより行われることを特徴とするマスクの形成方法。

【請求項6】 請求項2又は3記載のマスクの形成方法において、

上記マスク用薄膜の堆積工程は、回転蒸着法によって行われることを特徴とするマスクの形成方法。

【請求項7】 請求項1、2、3又は4記載のマスクの形成方法において、上記マスク用薄膜は、A1膜であることを特徴とするマスクの形成方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体装置のゲート電極等の部材を形成するためのマスクを形成する方法に係り、特にゲート電極等の部材の微細化対策に関するものである。

## 【0002】

【従来の技術】 リソグラフィー技術は半導体基板の上に回路素子のパターンを形成する技術であり、半導体集積回路の素子の微細化には不可欠なものである。現在一般的に広く用いられているリソグラフィーの方式は、光を用いるフォトリソグラフィー方式である。その代表的な例を以下に説明する。

【0003】 例えば化合物半導体集積回路のゲート電極を形成する場合、GaAs基板の上にシリコン酸化膜及びシリコン窒化膜の二層膜からなるゲート絶縁膜を形成し、ゲート絶縁膜の上フォトレジストを塗布してフォトレジスト膜を形成する。そして、ゲート電極部分のみ（ポジ型）あるいはゲート電極部分を除く部分のみ（ネガ型）が開口されたマスクを用いて光を部分的に照射し、マスクの開孔領域のみを感光させた後（露光工程）、現像してゲート電極部分が開口したフォトレジストパターンを形成する（現像工程）。そして、その後、このフォトレジストパターンをマスクとして、ゲート絶縁膜を選択的にエッチングし、ゲート開口部を形成した後、このゲート開口部にゲート電極材料を堆積して、GaAs基板にショットキー接触するゲート電極を形成する。

## 【0004】

【発明が解決しようとする課題】 上述のようなゲート電極等の形成工程において、ゲート長等を小さくしたい場合、その限界寸法はフォトリソグラフィー技術における解像度に依存する。一般的に、フォトリソグラフィーの方式には、密着露光法、1:1投影露光法や縮小投影露光法などがある。十数年前まで、密着露光法や1:1投影露光法等が主に用いられ、工業的な解像度は2 $\mu$ m程度が限界と言われていたが、その後、実用的な縮小投影露光法の開発で解像度は飛躍的に向上していった。縮小投影露光方式は5倍（4倍、10倍も使われてきた）の寸法を持つレチクルと呼ばれるマスク原版上のパターンを縮小投影レンズを用いてウエハー上に縮小転写し、パターンを形成する方法である。

【0005】ところで、半導体素子の微細化に伴い、半導体集積回路で用いられている回路素子の最小寸法は、パターンを転写するために用いられている光の波長（ $g$ 線では436nm、つまり0.436 $\mu$ m）と同程度となっている。この程度になると、上述のような縮小投影露光技術等を用いたとしても、フォトリソグラフィーで使用する露光装置の光源の波長によって、その限界が決定されるようになってきている。すなわち、光には干渉や回折等の現象があるので、光の波長で定まる解像度以下の微細なマスクパターンを形成することは困難である。このため、リソグラフィーに用いる光の波長を短くする方法が考案されている。

【0006】この短波長化の候補として、エキシマレーザを用いる方法と、水銀灯の短い波長の輝線である*i*線（365nm）を用いる方法とがある。前者は波長248nmのKrFエキシマレーザを用いるもので、解像度の向上が大きく、0.3 $\mu$ mへの展開も可能であるという利点がある。一方、*i*線を用いる方法は、光源が従来と同じ水銀灯であるうえ、レンズ材料等の光学系やレジスト材料にしても従来用いられているものの改良程度で対処できるという利点がある。

【0007】しかしながら、エキシマレーザを用いる方法では波長が遠紫外領域になるため、従来のレンズ材料、レジスト材料では光が強く吸収されるという問題が生じ、全く新しいレンズ照明系、レンズ光学系やレジスト材料の開発が必要となってくる。また、従来の*i*線を用いる方法では、0.3 $\mu$ mレベルの解像度を実現するには、波長が長すぎるという問題があり、いずれの方式を採用するにしても、一長一短があった。

【0008】本発明は斯かる点に鑑みてなされたものであり、その目的は、リソグラフィー工程におけるマスクの形成の際、その光源の波長で定まるマスクパターンの寸法よりも微細な寸法のマスクパターンを形成しうる手段を講ずることにより、従来の装置の改良程度で済ませながら、リソグラフィー工程における解像度の向上を図ることにある。

【0009】

【課題を解決するための手段】この目的を達成するため本発明は、リソグラフィー工程におけるマスク形成工程において、フォトレジストを用いて、半導体基板等の基板の上に半導体素子の電極等の部材を形成するための開口部を有するマスクを形成する方法を前提とするものである。そして、次のような請求項1～3に示す3つの方法を用いてマスクの形成を行うことを基本とする。

【0010】具体的に請求項1の発明の講じた手段は、基板の上に、フォトリソグラフィーにより、フォトレジストパターンを形成する工程と、上記フォトレジストパターンを縮小させる工程と、上記基板及び上記フォトレジストパターンの上にマスク用薄膜を堆積する工程と、上記フォトレジストパターンの形成部分で上記マスク用

薄膜と共にフォトレジストパターンをリフトオフにより除去し、マスク用薄膜に上記開口部を設ける工程とを設ける方法である。

【0011】請求項2の発明の講じた手段は、基板の上に、フォトリソグラフィーにより、断面形状が逆テーパを有するフォトレジストパターンを形成する工程と、上記基板及び上記フォトレジストパターンの上にマスク用薄膜を堆積する工程と、上記フォトレジストパターンの形成部分で上記マスク用薄膜と共にフォトレジストパターンをリフトオフにより除去し、マスク用薄膜に上記開口部を設ける工程とを設ける方法である。

【0012】請求項3の発明の講じた手段は、基板の上に、フォトリソグラフィーにより、断面形状が逆テーパを有するフォトレジストパターンを形成する工程と、上記フォトレジストパターンを縮小させる工程と、上記基板及び上記フォトレジストパターンの上にマスク用薄膜を堆積する工程と、上記フォトレジストパターンの形成部分で上記マスク用薄膜と共にフォトレジストパターンをリフトオフにより除去し、マスク用薄膜に上記開口部を設ける工程とを設ける方法である。

【0013】ここで、上記各請求項1～3の発明において、さらに具体的には、下記のような手段を講ずることができる。

【0014】請求項4の発明の講じた手段は、上記請求項1、2又は3の方法において、上記基板を、半導体基板の表面上にゲート絶縁膜が形成されてなる基板とし、フォトレジストパターンを、ゲートパターンとして使用する方法である。

【0015】請求項5の発明の講じた手段は、上記請求項1又は3の方法において、上記フォトレジストパターンの縮小工程を、酸素プラズマ中でフォトレジストパターンを等方的にエッチングすることにより行う方法である。

【0016】請求項6の発明の講じた手段は、上記請求項2又は3の方法において、上記マスク用薄膜の堆積工程を、回転蒸着法によって行う方法である。

【0017】請求項7の発明の講じた手段は、上記請求項1、2、3又は4の方法において、上記マスク用薄膜を、A1膜とする方法である。

【0018】

【作用】以上の方法により、請求項1の発明では、フォトリソグラフィーによって、基板の上に形成されたフォトレジストパターンが、縮小工程で縮小される。そして、その後に形成されたマスク用薄膜とフォトレジストパターンとがリフトオフされて、リフトオフ部分を開口部とするマスク用薄膜のパターンが形成される。

【0019】その場合、この開口部の寸法は、フォトリソグラフィーに使用される光源の波長で定まる限界寸法よりも縮小されているので、マスク用薄膜のパターンを利用して形成される部材も、光源の波長で定まる解像度

を越えて微細化される。従って、フォトリソグラフィーの光源として紫外線オーダーの波長を有する光源を使用して、レジスト材料や光学系等も既存の設備を多少改良する程度で済ませながら、半導体素子等の部材をより微細にすることが可能になる。

【0020】請求項2の発明では、基板の上に形成された逆テーパーのフォトレジストパターン下端部が、その後形成されるマスク用薄膜と共にリフトオフされ、フォトリソグラフィーで定まるフォトレジストパターンの上端部よりも寸法が縮小された開口部を有するマスク用薄膜のパターンが形成される。従って、その後このマスク用薄膜のパターンの開口部に形成される部材も微細化されることになる。従って、請求項1の発明と同様に、フォトリソグラフィーの光源として紫外線オーダーの波長を有する光源を使用しながら、その光源の波長で定まる解像度を越えて微細な半導体素子等の部材を形成することが可能になる。

【0021】請求項3の発明では、上述の請求項1及び請求項2の発明によるフォトレジストパターンの縮小作用が併せて得られ、解像度の向上作用が顕著になる。

【0022】請求項4の発明では、特に、寸法の微細化の要請が大きいゲート電極に対し、例えばフォトリソグラフィー光源としてi線を使用しながら、0.3ミクロンレベルへの展開が可能となる。

【0023】請求項5の発明では、上記請求項1又は3の発明において、フォトレジストパターンの縮小が、酸素プラズマ中で等方的にエッチングすることにより行われるので、ウェットエッチング法等の他の方法に比べ、マスクパターンの寸法の制御が容易となり、パターン精度が向上する。

【0024】請求項6の発明では、請求項2又は3の発明において、マスク用物質の堆積が回転蒸着法により行われるので、基板やフォトレジストパターンの上面だけでなく逆テーパーの裏側となる部分にも容易にマスク用薄膜が形成され、プロセスがより容易に行われることになる。

【0025】請求項7の発明では、上記各発明におけるマスク用薄膜として、Al膜を堆積するようにしたので、マスク用薄膜の形成、除去が容易に行われることになる。

【0026】

【実施例】以下、本発明の実施例1～3について、図面を参照しながら説明する。

【0027】（実施例1）まず、実施例1について図1及び図2に基づき説明する。図1(a)～(e)及び図2(a)～(e)は、化合物半導体集積回路のゲートの製造工程を示す断面図である。

【0028】まず、図1(a)に示すように、GaAs基板1上に、SiO<sub>2</sub>膜2及びSi<sub>3</sub>N<sub>4</sub>膜3からなる二層絶縁膜を形成する。ただし、本発明は、この二層絶

縁膜の代わりにSiO<sub>2</sub>膜等の単層膜や、3層以上の多層膜を形成したものにも適用し得る。

【0029】次に、同図(b)に示すように、Si<sub>3</sub>N<sub>4</sub>膜3の上にフォトレジストを塗布してレジスト膜4を形成し、さらに、同図(c)に示すように、5:1のi線ステッパーを用いてパターン寸法0.5μmのフォトリソグラフィを行った後、現像してレジストパターン4aを形成する。

【0030】次に、同図(d)に示すように、レジストパターン4aを酸素プラズマ中で等方的にエッチングして、レジストパターン4aを縮小する。この時、エッチング量制御によりレジストパターン4aの寸法を容易に制御しうる。

【0031】次に、上記Si<sub>3</sub>N<sub>4</sub>膜3及び縮小されたレジストパターン4aの全面上にAlを蒸着し、100nmの厚みでAl膜5を形成する。

【0032】そして、図2(a)に示すように、レジストパターン4aが形成されている部分でAl膜5と共にレジストパターン4aを除去するリフトオフを行って、Al膜5の一部を開口して、マスク開口部9を形成する。そして、同図(b)に示すように、マスク開口部9が形成されたAl膜5をエッチングマスクとしてRIE（反応性イオンエッチング法）によりSi<sub>3</sub>N<sub>4</sub>膜3のエッチングを行い、ゲート開口部10を開口させる。

【0033】そして、同図(c)に示すように、塩酸水溶液（或いはNaOH、KOH水溶液）でAl膜5を全面的に除去する。

【0034】さらに、同図(d)に示すように、フォトリソグラフィによりT型ゲート形成のためのレジストパターン4bを形成した後、ゲート開口部10下方のSiO<sub>2</sub>膜2をフッ酸系エッチャントでエッチングして除去し、ゲート開口部10をSiO<sub>2</sub>膜2にまで延長する。

【0035】そして、同図(e)に示すように、ゲート金属の蒸着を行った後、リフトオフにより、フォトレジストとその上のゲート金属とを共に除去して、T型ゲート7を形成する。

【0036】従って、上記実施例1では、図1(e)の状態から図2(a)の状態に至るリフトオフ工程で形成されるAl膜5のマスク開口部9の寸法はレジストのエッチング量に依存するが、少なくともレジスト膜4の露光、現像工程だけで得られるパターン寸法（ここでは0.5μm）より小さい値が得られる。すなわち、エキシマレーザのような遠紫外線を使用することなくi線等の通常の紫外線光源を使用することで、従来の露光装置を若干改良する程度で利用可能としながら、エキシマレーザを利用した場合と同等の微細なパターンを形成することができるのである。

【0037】上記実施例1では、上記図1(d)に示すレジストパターン4aを縮小させる工程において、レジストパターン4aを酸素プラズマ中で等方的エッチン

グいわゆるアッシングにより縮小させるようにしたが、本発明におけるレジストパターン4aを縮小させる方法は上記実施例1に限定されるものではなく、例えばアルカリ溶液や有機溶剤等を使用するウェットエッチング法等によってもよい。ただし、酸素プラズマ中で等方的にエッチングすることで、特にレジストパターン4aの寸法を正確に制御できる利点がある。

【0038】また、上記実施例1では、マスク用薄膜としてAl膜を使用したか、本発明はかかる実施例に限定されるものではなく、Al膜以外の例えば高融点金属シリサイド膜等を堆積させるようにしてもよい。ただし、Al膜の場合、蒸着等によって、容易かつ安価にマスク用薄膜を堆積しようとするとともに、ゲート開口部10を形成した後、酸又はアルカリによって容易に剥離するという利点がある。

【0039】（実施例2）次に、実施例2について、図3及び図4に基づき説明する。図3及び図4は、化合物半導体集積回路のゲートの製造方法を示す図である。

【0040】まず、図3(a)に示すように、GaAs基板1の上に、SiO<sub>2</sub>膜2及びSi<sub>3</sub>N<sub>4</sub>膜3を順次堆積した後、同図(b)に示すように、Si<sub>3</sub>N<sub>4</sub>膜3の上に反転レジストを塗布して反転レジスト膜6を形成する。そして、この反転レジスト膜6に対して、オーブンで90℃30分のベークングを行っておく。

【0041】次に、同図(c)に示すように、5:1のi線ステッパーを用いてフォトリソグラフィにより50mJ/cm<sup>2</sup>の露光量で基板の上でパターン寸法0.5μmの部分の露光を行って、ホットプレートで110℃5分のリバーサルベークを行う。さらに、i線を用いたフォトリソグラフィにより2000mJ/cm<sup>2</sup>の露光量でフラッド露光（全面露光）を行った後、現像を行う。この時、フラッド露光量を調節することにより、図に示すような逆テーパーがついたレジストパターン6aが形成される。

【0042】次に、同図(d)に示すように、回転蒸着法により、Si<sub>3</sub>N<sub>4</sub>膜3及びレジストパターン6aの全面上、つまり逆テーパーの部の裏側にもAlを蒸着して、100nmの厚みでAl膜5を形成する。

【0043】その後、同図(e)に示すように、レジストパターン6aをその部分のAl膜5と共に除去するフトオフを行って、マスク用薄膜であるAl膜にマスク開口部9を形成する。

【0044】そして、図4(a)～(e)に示すように、上記実施例1における図2(b)～(e)に示す工程と同様にして、ゲート開口部10の形成及びAl膜5の除去、T型ゲート作成のためのレジストパターン4bの形成、T型ゲート7の形成を行う。

【0045】従って、上記実施例2では、図3(c)に示す工程で形成されたレジストパターン6aの上端部の寸法は、マスク寸法及びレジストの露光、現像の精度で

規定されるが、逆テーパーがついていることで、下端部の寸法は上端部の寸法よりも小さくなっている。そして、リフトオフしたときのマスク開口部9の寸法は、レジスト6とSi<sub>3</sub>N<sub>4</sub>膜3との接触部つまり下端部の寸法に依存するため、通常のリソグラフィーで得られる上端部付近の寸法（ここでは0.5μm）より小さい値が得られる。よって、上記実施例1と同様に、従来の紫外線露光装置を若干改良する程度で利用可能としながら、パターンの微細化を図ることができるのである。

【0046】なお、上記実施例において、逆テーパーを形成する一連のプロセスはレジスト塗布、プリベーク、露光、リバーサルベーク、フラッド露光および現像よりなるが、この一連のプロセスの中で逆テーパーを形成する最大の要因はフラッド露光である。このフラッド露光量が少ないと逆テーパーは付きにくく、逆にフラッド露光量が多いと逆テーパーが大きくなるという特徴がある。そこで、このフラッド露光量を制御して適度の逆テーパーを形成することができる。

【0047】また、この逆テーパーを有するレジストパターン6aの上方から回転蒸着を行うことによりレジスト上部はもちろんのこと側面にもAlを堆積させることが容易にできる。

【0048】なお、上記実施例2では、Si<sub>3</sub>N<sub>4</sub>膜3及びレジストパターン6aの全面上にAl膜5を形成する工程を回転蒸着法により行ったが、本発明はかかる実施例に限定されるものではなく、例えば、CVD法等によりAl膜等のマスク用薄膜を堆積させてもよい。ただし、回転蒸着法では、逆テーパー部分の裏側にも容易にAl膜等を形成することができる利点がある。また、マスク用薄膜がAl膜に限定されないのは、上記実施例1と同様である。

【0049】（実施例3）次に、実施例3について、図5(a)～(e)及び図6(a)～(e)に基づき説明する。ここでも、GaAs基板1、SiO<sub>2</sub>膜2およびSi<sub>3</sub>N<sub>4</sub>膜3からなるゲート絶縁膜を有するものに対する代表的な例を示す。

【0050】まず、図5(a)～(c)に示すように、上記実施例2における図3(a)～(c)と同様のプロセスを経て、テーパーがついたレジストパターン6aを形成する。

【0051】次に、図5(d)に示すように、テーパーが形成されているレジストパターン6aを酸素プラズマ中で等方的にエッチングを行って、レジストパターン6aの寸法を縮小させる。

【0052】その後の工程は、上記実施例2と同様に行われる。すなわち、図5(e)及び図6(a)～(c)に示すように、上記実施例2における図3(d)、

(e)及び図4(a)、(b)に示すと同様のプロセスを経て、Al膜5と共にレジストパターン4aを除去するリフトオフを行って、Al膜5の一部にマスク開口部

9が設けられてなるエッチングマスクを形成し、これをエッチングマスクとして $\text{Si}_3\text{N}_4$ のエッチングを行って、ゲート開口部10を形成した後、A1膜5を除去する。そして、図6(d)に示すように、T型ゲート作成のためのレジストパターン4bを形成し、さらに、図6(e)に示すように、T型ゲート7の形成を行う。

【0053】従って、上記実施例3では、上記実施例1及び2の作用効果が併せて得られる。すなわち、逆テーパーのレジストパターン6aの形成によるパターンの微細化と、酸素プラズマ中でのエッチングによるパターンの微細化とが得られ、著効を発揮することができる。

【0054】なお、上述の各実施例では、いずれもゲート形成の微細加工について述べたが、本発明の適用範囲はこれに限られるものではなく、他のプロセスへの応用も可能であることはいうまでもない。

【0055】特に、半導体回路におけるゲート電極は、高速、高周波数特性の必要性、低電圧化、半導体素子の微細化等に伴い、その寸法の微細化が急務となっているので、特に、本発明をゲートパターンの形成プロセスに適用することで、発明の効果を顕著に発揮することができる。

【0056】(実験例)次に、上記本発明の効果を示す実験結果について、図7(a)、(b)に基づき説明する。

【0057】図7(a)は従来の技術によりマスクを形成した場合のゲートパターン、図7(b)は本発明によりマスクを形成した場合のゲートパターンのSEM写真を示し、シリコン基板1の上に、 $\text{SiO}_2$ 膜2及び $\text{Si}_3\text{N}_4$ 膜3を堆積し、ゲート開口部を設けて、マスクを形成したものである。ただし、コントラストをつけるために、マスクの上に金属膜を設けている。同図(a)、(b)を比較するとわかるように、本発明のものでは、ゲート開口幅Wが極めて微細化されており、本発明の効果が顕著であることが示されている。

【0058】

【発明の効果】以上説明したように、請求項1の発明によれば、基板の上に電極等の部材を形成するためのマスクを形成する方法として、基板の上にフォトリソグラフィーでフォトレジストパターンを形成する工程と、形成したフォトレジストパターンを縮小させる工程と、基板及びフォトレジストパターン全体にマスク用薄膜を堆積する工程と、フォトレジストパターンの部分でマスク用薄膜とフォトレジストパターンとをリフトオフして、電極等の部材を形成する領域を開口させる工程とを設けたので、縮小された開口を利用して、その後の工程でこの開口部に形成される部材の寸法をフォトリソグラフィーに使用される光源の波長で定まる限界寸法よりも縮小することができ、よって、既存の露光装置を改良する程度で利用可能としながら、半導体素子等の微細化を図ることができる。

【0059】請求項2の発明によれば、基板の上に電極等の部材を形成するためのマスクを形成する方法として、基板の上にフォトリソグラフィーで逆テーパーのフォトレジストパターンを形成する工程と、基板及びフォトレジストパターン全体にマスク用薄膜を堆積する工程と、フォトレジストパターンの部分でマスク用薄膜とフォトレジストパターンとをリフトオフして、電極等の部材を形成する領域を開口させる工程とを設けたので、逆テーパーの下端部の寸法まで縮小された開口を利用して、その後の工程でこの開口部に形成される部材の寸法をフォトリソグラフィーに使用される光源の波長で定まる限界寸法よりも縮小することができ、よって、既存の露光装置を改良する程度で利用可能としながら、半導体素子等の微細化を図ることができる。

【0060】請求項3の発明によれば、基板の上に電極等の部材を形成するためのマスクを形成する方法として、基板の上にフォトリソグラフィーで逆テーパーのフォトレジストパターンを形成する工程と、形成したフォトレジストパターンを縮小させる工程と、基板及びフォトレジストパターン全体にマスク用薄膜を堆積する工程と、フォトレジストパターンの部分でマスク用薄膜とフォトレジストパターンとをリフトオフして、電極等の部材を形成する領域を開口させる工程とを設けたので、上記請求項1及び請求項2の発明の効果が併せて得られ、よって、著効を発揮することができる。

【0061】請求項4の発明によれば、上記請求項1、2又は3の発明を、ゲート電極の形成プロセスに適用したので、特に寸法の微細化の要請が大きいゲート電極に対し、フォトリソグラフィー光源としてi線を使用しながら、0.3ミクロンレベルへの展開を図ることができる。

【0062】請求項5の発明によれば、上記請求項1又は3の発明において、フォトレジストパターンの縮小を、酸素プラズマ中で等方的にエッチングすることにより行うようにしたので、パターン精度の向上を図ることができる。

【0063】請求項6の発明によれば、請求項2又は3の発明において、マスク用薄膜の堆積を回転蒸着法により行うようにしたので、逆テーパーの裏側にも容易にマスク用薄膜を形成することができ、よって、プロセスの容易化を図ることができる。

【0064】請求項7の発明によれば、上記請求項1、2、3又は4の発明において、マスク用薄膜として、A1膜を堆積するようにしたので、マスク用薄膜の形成、除去の容易化を図ることができる。

【図面の簡単な説明】

【図1】実施例1に係るゲート形成工程のうちA1膜を形成するまでの工程を示す断面図である。

【図2】実施例1に係るゲート形成工程のうちリフトオフ以後の工程を示す断面図である。



【図3】実施例2に係るゲート形成工程のうちリフトオフまでの工程を示す断面図である。

【図4】実施例2に係るゲート形成工程のうちゲート開口部の形成以後の工程を示す断面図である。

【図5】実施例3に係るゲート形成工程のうちAl膜を形成するまでの工程を示す断面図である。

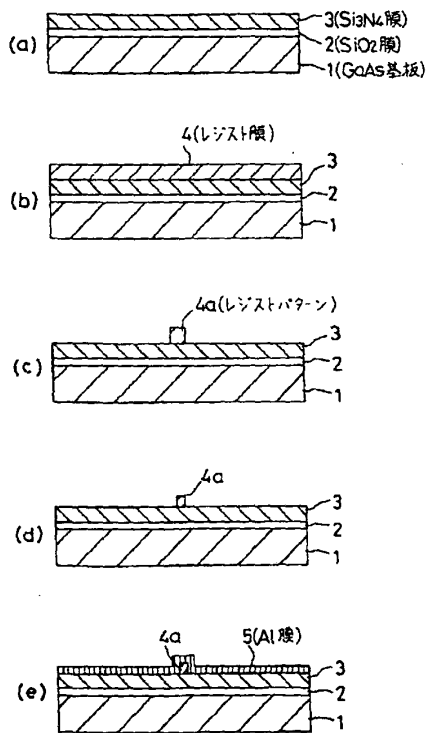
【図6】実施例3に係るゲート形成工程のうちリフトオフ以後の工程を示す断面図である。

【図7】実験例に係るマスク断面を示すSEM写真である。

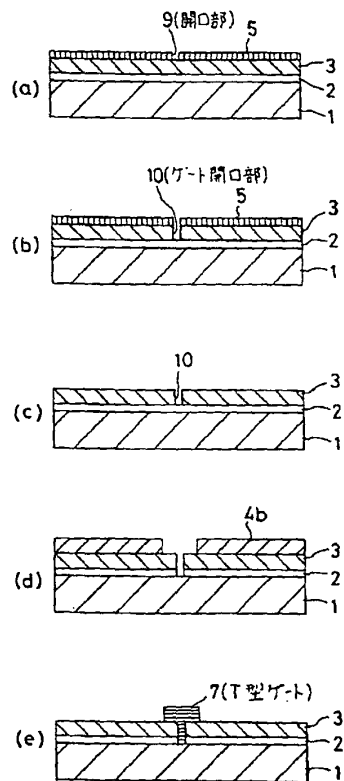
【符号の説明】

- 1 GaAs基板
- 2 SiO<sub>2</sub>膜
- 3 Si<sub>3</sub>N<sub>4</sub>膜
- 4 レジスト膜
- 4a レジストパターン
- 5 Al膜（マスク用薄膜）
- 6 反転レジスト
- 6a レジストパターン
- 7 T型ゲート
- 9 マスク開口部
- 10 ゲート開口部

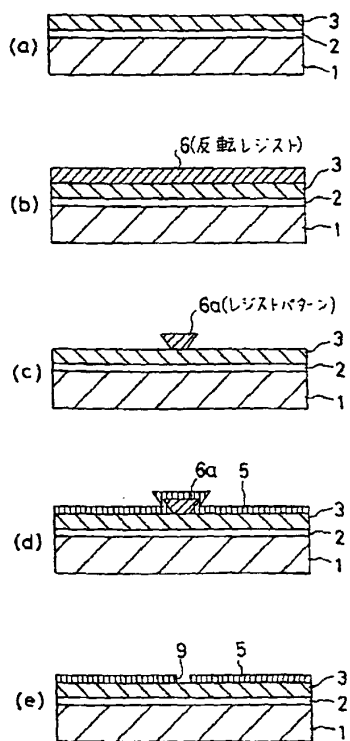
【図1】



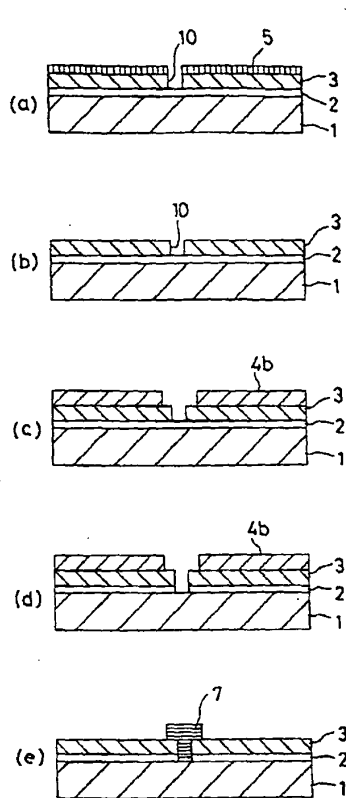
【図2】



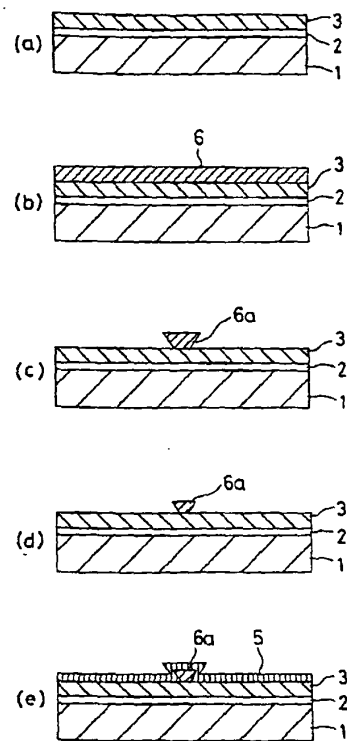
【図3】



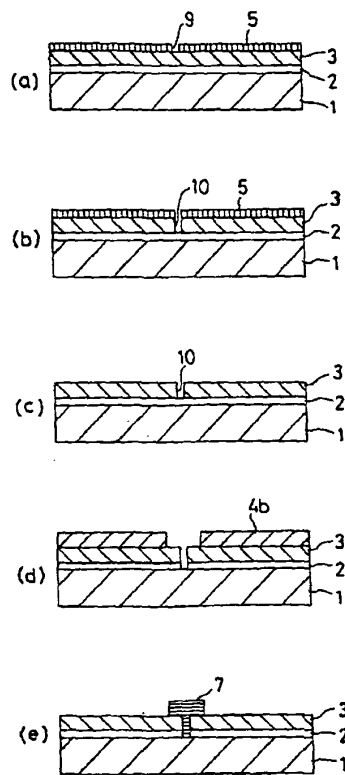
【図4】



【図5】



【図6】



【図7】

